

CLIPPEDIMAGE= JP360163528A

PAT-NO: JP360163528A

DOCUMENT-IDENTIFIER: JP 60163528 A

TITLE: DATA WAVEFORM SHAPING CIRCUIT

PUBN-DATE: August 26, 1985

INVENTOR-INFORMATION:

NAME

AKIYAMA, MAKOTO

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP59020227

APPL-DATE: February 6, 1984

INT-CL (IPC): H03K005/01;G11B020/10

US-CL-CURRENT: 327/166

ABSTRACT:

PURPOSE: To make the circuit resistant to temperature and aging changes and to attain ease of change of a response frequency by providing a comparison means having a reference level terminal comparing a level of an input signal and processing digitally an output of the comparator means to feed back the result to a reference level terminal.

CONSTITUTION: An EFM input signal fin inputted to a comparator 1 is compared with a reference voltage Vr and waveform-shaped and converted into a digital signal having two level states of H/L. An up-down counter 2 counts up a clock signal fck when a terminal UD is at H level and counts down it when at L level. The count value is stored in a latch circuit 4 just before a prescribed timing by an output of a pulse generating circuit 3 inputted to a terminal S and the sotred value is updated at each period of the timing pulse T. The output of the circuit 4 is fed back to the comparator 1 via a DA converter 5. Thus, the circuit is made resistant to temperature and aging changes and the change of

the response frequency is attained easily.

COPYRIGHT: (C) 1985, JPO&Japio

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭60-163528

⑫ Int. Cl.

H 03 K 5/01  
G 11 B 20/10

識別記号

庁内整理番号

6942-5J  
6733-5D

⑬ 公開 昭和60年(1985)8月26日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 データ打抜き回路

⑮ 特 願 昭59-20227

⑯ 出 願 昭59(1984)2月6日

⑰ 発 明 者 秋 山 良 門真市大字門真1006番地 松下電器産業株式会社内

⑱ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

データ打抜き回路

2、特許請求の範囲

入力データ端子とその入力データ端子に入力される入力信号のレベルを比較するための基準レベル端子をもつ比較手段と、所定のタイミングでリセットあるいはプリセットされ、かつ前記比較手段の出力のレベル状態に応じて動作モードをアップカウントまたはダウンカウントに切り換えながら入力クロック信号をカウントするアップダウンカウンタと、そのアップダウンカウンタの出力を前記所定のタイミングの直前で記憶するためのラッチ手段と、そのラッチ手段の出力をアナログ信号に変換するデジタル-アナログ変換手段を具備し、かつ前記デジタル-アナログ変換手段の出力を前記比較手段の基準レベル端子に帰還したことを特徴とするデータ打抜き回路。

3、発明の詳細な説明

産業上の利用分野

本発明はコンパクトディスクプレーヤ、デジタルオーディオテープレコーダ等に用いることの出来るデータ打抜き回路に関するものである。

従来例の構成とその問題点

従来のコンパクトディスクプレーヤに用いられるEFM(8-14変換)信号の打抜き回路では、例えば入力データをC-MOSゲート等で構成される増幅器で数段増幅して波形を飽和させ、その飽和出力を積分して直流電圧に変換し、その直流電圧を入力初段のバイアス回路に帰還して、データ打ち抜き後の波形の直流成分がほぼ0となる様に動作させるものであった。

しかし、この従来の方式は増幅素子のバラツキによってはバイアス回路の定数を調整する必要性が生じたり、また温度変化や経時変化も問題となる可能性があった。さらには積分のためのコンデンサが必要なため回路全体のIC化は難しく、また入力データの状態に応じて、このデータの打抜き回路の応答周波数も可変するのが面倒であった。

### 発明の目的

本発明の目的は温度や経時の変化に強く、また調整も不要で、しかも応答周波数の変更も簡単なデジタル方式によるデータ打抜き回路を提供することである。

### 発明の構成

本発明のデータ打抜き回路は、入力データ端子とその入力データ端子に輸入される入力信号のレベルを比較するための基準レベル端子をもつ比較手段と、所定のタイミングでリセットされ、かつ前記比較手段の出力のレベル状態に応じて動作モードをアップカウントまたはダウンカウントに切り換えながら入力クロック信号をカウントするアップダウンカウンタと、そのアップダウンカウンタの出力を前記所定のタイミングの直前で記憶するためのラッチ手段と、そのラッチ手段の出力をアナログ信号に変換するデジタル-アナログ変換手段を具備し、かつ、前記デジタル-アナログ変換手段の出力を前記比較手段の基準レベル端子に帰還するように構成したものであり、これに

より、温度や経時の変化に強く、また調整も不要で、しかも応答周波数の変更も簡単に出来るものである。

### 実施例の説明

第1図は本発明の実施例を示すブロック図で、1は入力信号  $f_{in}$  をデジタルパルスに変化するためのコンパレータ、2は  $Q_1$  から  $Q_n$  までの  $n$  ビットの出力端子と、内部状態を設定するプリセット端子  $S$  と、動作モードの設定端子  $UD$ 、およびカウントクロック入力端子  $CK$  をもつアップダウンカウンタである。アップダウンカウンタ2はタイミングパルス  $T$  の入力直後にワンショットパルスが発生するパルス発生回路3の出力パルスによって内部状態がプリセットされ、 $UD$  端子の入力、すなわちコンパレータ1の出力レベルが"1"の時はアップカウンタとして動作し、コンパレータ1の出力レベルが"0"の時はダウンカウンタとして動作する。4はアップダウンカウンタ2の出力を上記タイミングパルス  $T$  の入力時点で記憶するためのラッチ回路で、ラッチ回路4の出力はデ

ィジタル-アナログ変換器(以下、 $DA$  変換器という)5によって直流電圧に変換されてコンパレータ1の比較のための基準電圧端子  $V_r$  に帰還される。

第2図は本発明によらないで、単純にコンパクトディスクプレーヤの光学ピックアップの検出出力を一定の電圧レベル  $V_t$  を基準として、波形整形(データ打抜き)する場合の入力波形のエンベロープ(点線で示す)と基準レベルの関係を示す図である。

第3図(a)は第2図のAの部分の拡大で信号の打抜きが正常に行なわれている状態を示す。本来、コンパクトディスクプレーヤに用いられている  $BFM$  信号は信号の平均の直流成分が0になる様に構成されているため、正常に打抜かれた整形後のパルス信号の、任意の区間内での" H "レベルの周期の合計と" L "レベルの周期の合計は等しくなる。したがって、第3図(a)の場合、A区間内において整形後の波形の" H "レベルの周期の合計と" L "レベルの周期の合計がほぼ一致してお

り、その結果、正しい情報の再生が可能となっている。

第3図(b)は第2図のBの部分の拡大で、入力  $BFM$  信号が、ディスク上の情報の欠落やゴミ等によって、振幅が減少するとともに大きな直流変動をとまった場合を示す。この場合、基準レベル  $V_t$  は一定のため、結果として整形された信号の" H "レベルの平均時間が非常に長くなり、また逆に" L "レベルの平均時間が非常に短くなって本来の記録時の波形が再現できず、正しく情報が検出できなくなる状態を示している。

第4図は第1図に示す本発明の実施例の動作を説明するための波形図で、入力信号の振幅と直流成分の変動に応じて、比較のための基準レベル  $V_r$  が変わり、第5図に示す第4図のCの部分の拡大図の様に、正確に波形を再生することが出来ることを示している。

次に第1図によって、その動作をより具体的に説明する。コンパレータ1に入力される  $BFM$  入力信号  $f_{in}$  は基準電圧  $V_r$  と比較されて波形整形

され、"H"、"L"の2レベル状態をもつデジタル信号に変換される。アップダウンカウンタ2は、UD端子が"H"レベルの時はアップカウンタ、"L"レベルの時はダウンカウンタとして制御されて、クロック信号 $f_{ox}$ をカウントするため、タイミングパルスTの1周期 $\tau$ の終り時点ごとに、その1周期間にコンパレータ1が"H"レベルとなった時間の合計と、"L"レベルとなった時間の合計の差を、クロック $f_{ox}$ のカウント結果として出力する。すなわち入力信号が正常に打抜かれた時は、コンパレータ1の1周期 $\tau$ 内での"H"レベル時間と"L"レベル時間は等しくなっており、その結果、アップダウンカウンタ2のクロック $f_{ox}$ のアップカウント数とダウンカウント数は等しくなっており、1周期 $\tau$ の終り時点でのアップダウンカウンタ2の状態はプリセット状態と等しくなる。通常、このアップダウンカウンタ2に対する初期のプリセット値はコンパレータ1の基準電圧が、コンパレータ1の"H"レベルと"L"レベルの $\frac{1}{2}$ の値になる値に設定することにより、

最適な打抜き特性を得ることができる。

アップダウンカウンタ2のカウント値は、プリセット端子Sに入力されるパルス発生回路3の出力によって初期値のプリセット(またはリセット)の直前にラッチ回路4に記憶されるため、タイミングパルスTの1周期ごととその値が更新されていく。このラッチ回路4のデジタル出力はDA変換器5によってアナログ電圧に変換され、その電圧はコンパレータ1の比較電圧として帰還される。この電圧は先に述べた基準電圧 $V_r$ となり、この値で入力信号 $f_{in}$ を比較して波形整形する帰還回路を構成する。すなわち、この打抜き回路はタイミングパルスTごとに1周期 $\tau$ だけずれた入力信号情報によってコンパレータ1の比較のための基準レベル $V_r$ を制御して、常にコンパレータ1の出力波形の"H"レベルと"L"レベルの平均の比率を等しくして、再生信号の直流成分が0となる様に動作する。

データ打抜きの応答速度は、一般に速いほど良く、それはタイミングパルスのTの周波数によ

て決定されるが、つまりTの周波数が高いほど応答周波数は高くなるが、例外的な場合もあり、例えば、コンパクトディスクプレーヤにおいて、曲目のサーチの情報を得るためにピックアップ手段を高速移動させて、その横ぎるトラック数をカウントする場合などは、むしろ打抜きの応答速度を逆に非常に遅くして、ピックアップ手段の出力が乱れても安定にトラッククロス情報を得ることが出来るように構成する場合もある。この場合はタイミングパルスTの周波数を低くすることにより非常に簡単に実現することが出来る。

従来のデータ打抜き回路では、以上の動作で説明した入力信号の直流成分の変動や振幅変動によるコンパレータの基準電圧の制御を、多段のCMOSゲートによるアナログ的増幅器と積分のための時定数回路、および演算増幅器等で行っていたが、この場合、比較的大きな容量のコンデンサやアナログ増幅器が必要となり、経時変化や温度変化に対する問題もあり、さらにはICとして1チップ構成とすることは不可能であった。

また第2図、第3図で説明した様に、波形整形のための基準電圧が一定のものは、入力信号の小さいレベル変動によって情報再生が不可能となり問題外であった。

#### 発明の効果

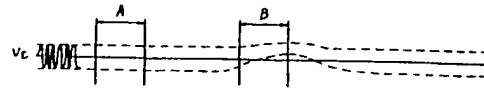
以上述べたように本発明のデータ打抜き回路は、デジタル構成であるため、温度や経時の変化に強く、また調整も不要で、しかも応答時間の変更も簡単であるというすぐれた効果をもつものである。

#### 4. 図面の簡単な説明

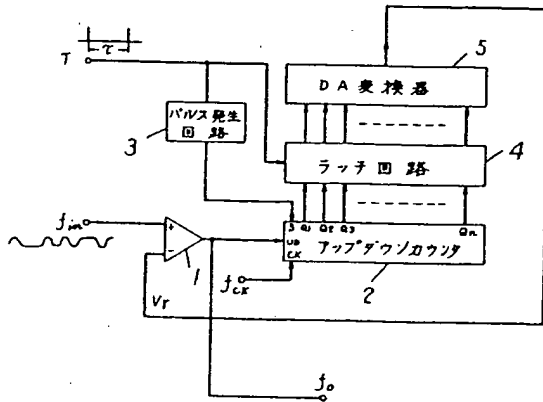
第1図は本発明のデータ打抜き回路の一実施例を示すブロック図、第2図、第3図(a)、(b)は本発明を用いない場合のデータ打抜きの動作を説明するための波形図、第4図、第5図は本発明によるデータ打抜き動作を説明するための波形例図である。

1……コンパレータ、2……アップダウンカウンタ、3……パルス発生回路、4……ラッチ回路、5……DA変換器。

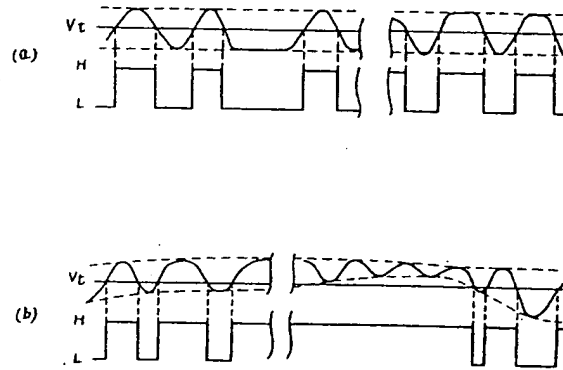
第 2 図



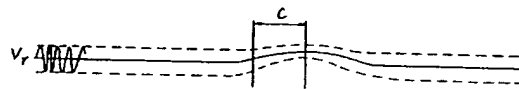
第 1 図



第 3 図



第 4 図



第 5 図

